

평균 및 최악 분석 진화전략을 이용한 소자 값 변경에 강건한 아날로그 회로 자동 설계

박현수[○] 박아름 김경중

세종대학교 컴퓨터공학과

hspark@sju.ac.kr, arzzang1022@naver.com, kimkj@sejong.ac.kr

Fault-tolerant Analog Circuit Design using Average and Worst Case Analysis Evolutionary Strategy

Hyunsoo Park[○] Arum Park Kyungjoong Kim

Dept. of Computer Engineering, Sejong University

요약

아날로그 회로는 가장 기본적인 전기/전자 회로로써 현재도 높은 중요도를 가지고 있지만, 설계를 위해서는 전문적인 지식이나 기술이 반드시 필요하다. 그래서, 아날로그 회로를 설계하기 위해 진화 연산을 이용한 기법이 연구되어 왔다. 진화연산은 최적화 문제를 해결하는 한 방법으로써 다양한 문제에 적용 가능하다. 하지만, 많은 경우 매우 오랜 시간이 걸려 재현이 어렵고 계산비용이 많이 요구되어왔다. 하지만, 최근 들어 진화전략을 이용하여 작은 집단 크기로 아날로그 회로를 진화시킬 수 있는 방법이 제안되었다. 본 연구에서는 진화전략을 이용한 방법에 기반하여, 내고장성을 가진 회로를 설계하는 기법을 제안하고, 실험을 통하여 기본 진화전략 알고리즘과 비교한다. 그 결과, 제안한 방법을 통해 생성한 회로는 기본 알고리즘을 사용했을 때 보다 고장으로 인해 소자의 값이 변경되었을 때 성능하락이 더 적었다.

1. 서론

아날로그 회로는 모든 전기/전자 시스템의 근간이 되며, 현재도 많은 용도로 사용하고 있다. 일반적으로 아날로그 회로의 설계는 전문가의 지식에 의존하는 경향이 있는데, 아날로그 회로 설계는 입력 값의 미세한 오류가 전체 시스템의 큰 오류로 나타날 수 있으며 시간에 대해 항상 변화하여 수정하기가 매우 까다로울 뿐만 아니라 잡음이나 간섭에 의한 외부요인에 약하기 때문에, 전문가의 지식 없이 자동으로 설계하는 것은 어려운 일임은 이미 잘 알려진 사실이다[1].

하지만, 최근 들어 아날로그 회로를 자동으로 설계하려는 연구가 진행되고 있고, 특히 진화 연산을 활용하려는 연구가 관심을 받고 있다[2]. 진화 연산은 최적화 문제 해결과 기계학습에 주로 사용되지만, 창조적이고 새로운 것을 만드는 데에도 사용될 수 있다. Kim 등은 진화 전략을 사용하여 매우 적은 집단의 크기로 아날로그 회로를 진화할 수 있는 방법을 제안하였다[3].

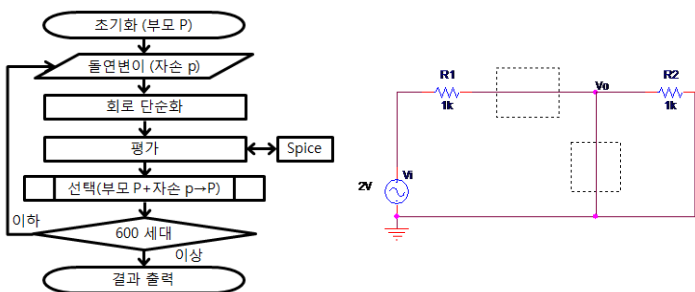
본 연구에서는 Kim[3]이 사용한 진화전략 기반 기법을 기반으로 하여 내고장성이 높은 회로를 설계하는 기법을 제안한다. 여기서는 [3]의 진화전략 알고리즘과 달리 회로(개체)를 평가하기 전에 임의로 고장 내서 평가한다. 이처럼 진화 단계에서 다양한 고장에 노출시키면, 최종적으로 설계된 회로는 기본 알고리즘에 의해 설계된 회로에 비해 다양한 고장에 잘 견딜 수 있게 된다.

2. 진화 전략

2.1 기본 진화 알고리즘

기본 진화 전략 알고리즘(그림 1.(a))은 [3]에서 사용한 것과 같기 때문에 여기서는 간단히 요약한다. 초기화 단계에서는 N개의 부모개체(P)를 Embryonic 회로(그림 1.(b))로 초기화한다. 이것은 많은 아날로그 회로 진화 연구에서 공통적으로 사용되는 기법이다.

다음 단계에서는, N개의 부모를 변형(돌연변이)하여 N개와 새로운 자식 회로를 생성한다. 그리고 회로의 복잡성을 방지하기 위한 단순화 과정을 거친다. 그 다음, SPICE 시뮬레이터를 통해 현재 회로의 주파수 응답을 구해, 목표로 하는 주파수 응답과 얼마나 차이(오차)가 나는지를 계산하여 적합도로 한다. 설계하고자 하는 회로는 1kHz 이하 대역을 통과시키는 저역통과필터(LPF)이다. 적합도가 원래 뜻과는 달리 오차를 나타내기 때문에 낮을수록 목표 응답에 가깝다. 선택 단계에서는 부모(P), 자식(p) 모두 합쳐 2N개의 회로 중에 가장 오차가 적은 회로 N개를 선택하고 나머지 회로를 삭제한다. 이런 방식으로 지정된 횟수만큼 반복한다.



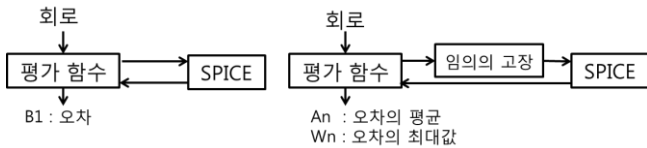
(a) 알고리즘 (b) Embryonic 회로

그림 1. 기본 진화 전략

2.2 내고장성을 가지는 회로를 위한 진화전략

일반적으로 급격하게 변화하는 가혹한 환경에서 생존한 개체는, 온화한 환경에서만 적응한 개체보다 환경의 변화에 잘 적응할 것이다. 이 개념을 문제에 적용하여, 평가단계에서 일부러 고장 낸 회로를 평가하여 진화를 시킨다면, 고장에 더 강한 회로가 설계될 것이라 기대할 수 있다. 하지만, 가혹한 환경에서는 개체의 생존 여부가 환경에 크게 영향을 받듯이, 회로의 성능보다, 평가단계에서 우연한 고장에 의해 회로의 생존 여부가 달라질 수 있다. 이 문제를 완화하기 위해서, 하나의 회로를 평가할 때 여러 번 각기 다른 고장에 대해서 시뮬레이션을 실행한 결과를 종합하여 회로의 적합성을 판단할 필요성이 있다. 하지만, 여러 번 시뮬레이션을 실행 할 경우 그만큼 진화연산의 전체 실행 시간이 길어진다.

그림 2은 기본 알고리즘의 평가함수와 제안한 알고리즘의 평가함수를 비교하여 보여준다. 기본 알고리즘(그림 2.(a))의 평가함수는 회로를 입력으로 받아서 시뮬레이션을 실행한 뒤 오차를 반환한다. 하지만, 제안한 평가함수(그림 2.(b))는 시뮬레이션 실행 횟수를 n번 반복한 뒤에 그 오차들의 평균이나, 오차의 최대값을 반환한다. 이 후에는 이 방법을 평균 오차(Average)와 최악의 경우(Worst case)를 줄여서 An, Wn으로 호칭한다. 여기서 n은 시뮬레이션의 반복 횟수를 뜻한다. 이와 비슷하게 기본 알고리즘(Basic Algorithm)은 B1으로 호칭한다.



(a) 기본 평가함수 (b) 제안한 평가함수
그림 2. 평가함수 비교

Wn의 경우에는 A1보다 시뮬레이션의 횟수를 줄일 수 있다. 예를 들어, 먼저 평가된 N개의 회로의 가장 큰 오차가 100이라고 할 때, 그 다음 평가될 회로의 첫 번째 시뮬레이션 결과 오차가 100을 넘는다면, 이 회로는 시뮬레이션을 반복해서 실행할 필요가 없다. 왜냐하면 최소한 100을 초과하는 적합도(오차)로 판단되어, 다음 세대에 선택되지 못할 것이기 때문이다. 이와 비슷한 경우에 시뮬레이션 횟수를 줄일 수 있기 때문에 결과적으로 Wn 방법은 An 방법보다 더 빠른 실행 속도를 보일 것이다.

3. 실험 조건

회로의 손상을 개별 소자가 손상에 의해 소자가 본래 가지고 있던 값이 변경될 경우로 정의한다. 따라서, 회로를 고장 내는 방법은 모든 소자(L, C)의 값을 임의로 변경하는 것이다. 만약, 원래 소자의 값이 v이고, 고장의 정도를 f로 나타내면, 원래 소자의 값에 N(0, f x v)의 값을 더한다. 그리고, 만약 소자의 값이 0이하가 된다면, 0으로 한다.

An, Wn 방법을 평가하기 위해서는 각각의 방법을 이용하여 다양한 회로를 생성해야 한다. 또한 B1과도 비교해야 한다.

n이 1~5 사이의 자연수인 경우에 대해서 실험을 진행한다. 본 논문에서는 각각의 방법을 이용하여 15개의 회로를 설계했다. (총 11 x 15 = 165개의 회로를 설계)

개별 회로의 내고장성을 테스트 하기 위해서 고장 정도(f)를 0.0~2.0까지 0.1단위로 바꾸며 100번씩 실험을 했다. 즉, 하나의 설계된 회로는 고장이 없을 때(f=0.0)부터 진화연산 단계에서 고려된 고장보다 2배이상 큰 고장(f=2.0)까지 다양한 환경에서 각각 100번씩(총 2100번)평가되었다.

4. 실험 결과

4.1 적합도 변화

진화연산을 사용하여 회로를 설계할 때의 오차의 변화이다. 각각 생성한 회로의 최소 오차의 평균을 나타낸다. 그림 3은 11개의 실험 결과 중 가장 대표적인 3가지를 보여준다.

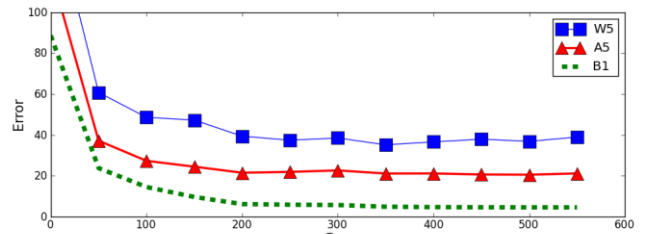


그림 3. 세대에 따른 오차(적합도)의 변화

모든 방법에서 공통적으로 약 200세대 안팎에서 적합도가 안정화 되었다. 고장을 적용하지 않은 B1에서는 매우 낮은 수준까지 오차가 줄어드는 것을 확인할 수 있었으나, 평가단계에서 다양한 방식의 고장을 경험한 An, Wn은 상대적으로 큰 오차를 보여준다. Wn은 n이 증가할수록 최종 오차가 증가하는 경향을 보였으나, An의 최종 오차는 n에 따른 변화가 거의 없었다.

4.2 회로의 내고장성

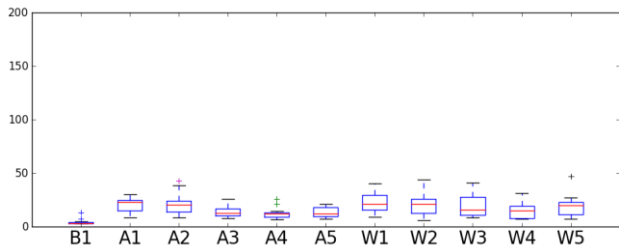
생성한 회로에 100가지의 임의의 고장을 가한 뒤 평가하였다. 고장 강도를 나타내는 f를 0.0부터 2.0까지 0.1씩 증가시키며 실험했다. 그림 4는 그 중에 가장 대표적인 f=0.0, f=1.0, f=2.0에 대해서 보인다.

f = 0.0 (그림 4.(a))에서는 고장이 전혀 발생하지 않은 회로의 실험 결과이다. 따라서, 100번 실행하는 동안 결과값이 거의 변하지 않으며, 성능의 편차는 고장에 의한 것이 아닌, 생성된 회로의 원래 성능의 분포에 의한 것이다. 그림 3의 적합도 곡선에서 볼 수 있다시피, B1으로 생성한 회로들이 가장 뛰어난 성능을 보이며, 그 오차도 매우 적다. 그 다음은 An 이며, Wn이 가장 기본 성능이 낮다. 또한, n이 증가할수록 오차가 줄어들며, 성능의 편차가 적다.

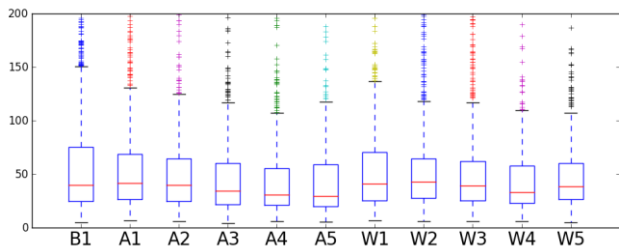
f = 1.0인 상황(그림 4.(b))은 An, Wn에서 회로를 진화시킬 때 사용한 고장 강도와 같은 것이다. f<1.0인 상황에서는 B1이 기본 성능이 워낙 좋기 때문에 고장으로 인해 성능이 하락해도 An, Wn과 비교해서 비교적 성능이 더 좋았으나, 1.0을 기점으로 해서 B1이 가장 큰 성능편차를 보인다. 즉, B1이 동일한 고장강도에서 성능하락이 클 가능성이 높다는

것이다.

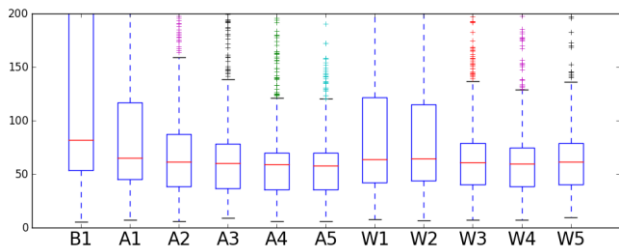
가장 큰 고장강도인 $f=2.0$ (그림 4.(c))에서는 B1은 매우 큰 성능편차를 보이며, 고장에 매우 취약하다는 것을 보여준다. 반면, An, Wn에서는 전체적으로 성능하락이 있기는 하지만, B1에 비하면 매우 양호하다. 특히 A4, A5, W4, W5는 적합도의 중간값이 50정도 상승하기는 했지만, 이상치를 제외한 나머지 분포는 1.0에 비해서 거의 변하지 않았다. 그리고, 마찬가지로 An이 Wn에 비해 좀 더 나은 성능을 보여줬다. 하지만, n이 커질수록 Wn과 An의 차이는 줄어드는 경향을 보였다.



(a) $f = 0.0$



(b) $f = 1.0$



(c) $f = 2.0$

그림 4. 생성한 회로의 내고장성 평가

4.3 시뮬레이션 횟수

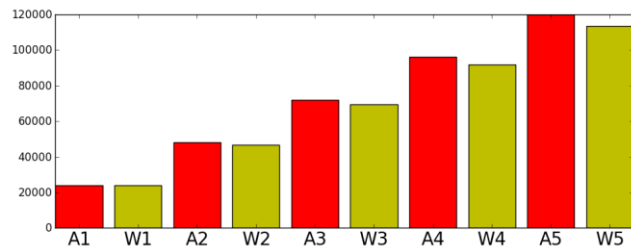


그림 5. 설계 방법에 따른 SPICE의 실행횟수

실험 결과 An, Wn으로 생성한 회로는 B1으로 생성한 회로에 비해 더 높은 내고장성을 가지는 것을 볼 수 있다. 하지만, 그 대신 회로설계에 더 많은 시간이 필요하다. 진화전략 알고리즘 실행 시간 중에서 가장 많은 시간을

차지하는 것은 SPICE 시뮬레이션 시간이며, 그 외의 연산시간은 무시할 정도로 작다. 각각의 시뮬레이션 시간은 거의 동일하므로 시뮬레이션 횟수를 각 설계방법의 계산비용으로 생각할 수 있다. An, Wn의 계산비용을 그림 5에 표시하였다.

B1은 24000의 계산비용이 필요하다. An은 평균을 구하기 위해 한번 평가에 n번 SPICE를 실행할 필요가 있기 때문에 n에 비례해서 계산비용이 증가한다. 한편 Wn은 n이 증가할수록 계산비용이 증가하기는 하지만, An에 비해서 약간 작다. 이 차이를 Wn의 An에 대한 상대적인 계산비용 이득이라고 할 수 있는데, n이 커질수록 이득이 더욱 커졌다.

5. 결론

본 연구에서는, 진화전략을 이용해서 내고장성을 지닌 아날로그 회로를 설계하는 두 가지 기법을 제안하고 이들을 비교했다. 이 두 가지 기법 An, Wn은 모두 기본 방법인 B1에 비해서 더 높은 내고장성을 보여주었다.

고장 강도가 낮을 때($f < 1.0$)는 B1이 기본 성능이 좋기 때문에 고장으로 인해 약간의 성능하락이 있더라도 An, Wn에 비해 더 좋은 성능을 보여줬으나, 고장강도 1.0부터 B1보다 제안한 두 기법의 성능이 더 높았다. 그리고 더 큰 고장강도($f > 1.0$)에서는 B1은 급격히 성능이 하락한 반면, An, Wn은 상대적으로 더 적은 성능하락을 보여줬다.

두 기법 중에서 An은 Wn에 비해서 기본 성능이 좋으며, 더 큰 내고장성을 보여주는 필터를 설계했다. 하지만, n이 커질수록 내고장성 차이는 감소하는 경향을 보이며, n이 커질수록 Wn의 상대적인 계산비용의 이득이 커졌다. 즉, n이 충분히 크다면, Wn이 An에 비해서 상대적으로 기본성능이 낮은 것을 제외하면, 내고장성 측면에서는 거의 동등하며, 계산비용 측면에서는 오히려 유리할 수 있다.

6. 감사의 글

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(2012-0001749) 및 뇌과학 원천기술개발사업임(2012-0005799)

7. 참고 문헌

[1] H. -S. Park, K. -J. Kim, Automated synthesis of Physically Implementable Analog Circuits using Evolutionary Strategy and Practical Constraints on Component Values, Journal of KIISE, 38, 5, pp.248-256, 2011.

[2] R. S. Zebulum, M. A. Pacheco, and M. M. B. Vellasco, Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms, CRC Press, 2001.

[3] K.-J. Kim, A. Wong, and H. Lipson, Automated synthesis of resilient and tamper-evident analog circuits without a single point of failure, Genetic Programming and Evolvable Machines, vol.11 pp.35-59, 2010.